

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-324911

(43)Date of publication of application : 08.11.2002

(51)Int.Cl.

H01L 31/107
H01L 27/14

(21)Application number : 2001-176738

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.06.2001

(72)Inventor : TANAKA SHIGEHISA
ITO KAZUHIRO
OTOSHI SO
MATSUOKA YASUNOBU
ONO TOSHIHIRO
FUJISAKI SUMIKO
OYA AKIRA
TSUJI SHINJI

(30)Priority

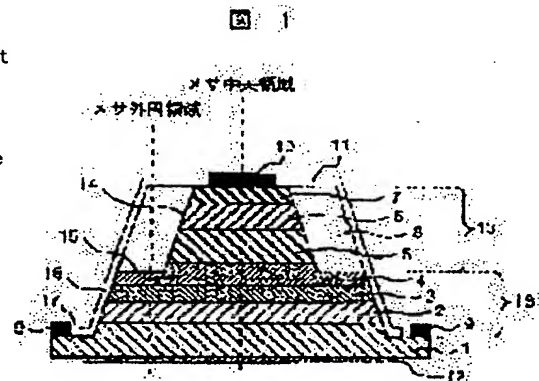
Priority number : 2001050054 Priority date : 26.02.2001 Priority country : JP

(54) AVALANCHE PHOTODIODE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a reliable mesa avalanche photodiode using a novel structure to keep the dark current low, and also to provide a method of manufacturing the same.

SOLUTION: The avalanche photodiode comprises a light absorption layer which absorbs light and generates carriers, a multiplier layer which multiplies the generated carriers, and an electric field control layer interposed between the light absorption layer and the multiplier layer. A first mesa including at least part of the multiplier layer and part of the electric field control layer is formed on a substrate, and then a second mesa including another part of the electric field control layer and the light absorption layer is formed on the first mesa. The area of the top part of the first mesa is larger than that of the bottom of the second mesa, and a semiconductor layer is formed on the face of the top part of the first mesa which is not covered by the second mesa and on the side face of the second mesa.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-324911
(P2002-324911A)

(43) 公開日 平成14年11月8日 (2002.11.8)

(51) IntCl.⁷

H01L 31/107
27/14

識別記号

F I

H01L 31/10
27/14

テーマート* (参考)

B 4M118
J 5F049
Z

審査請求 未請求 請求項の数21 O L (全 14 頁)

(21) 出願番号 特願2001-176738(P2001-176738)

(22) 出願日 平成13年6月12日 (2001.6.12)

(31) 優先権主張番号 特願2001-50054(P2001-50054)

(32) 優先日 平成13年2月26日 (2001.2.26)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 田中 滋久

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 伊藤 和弘

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所通信事業部内

(74) 代理人 100068504

弁理士 小川 勝男 (外2名)

最終頁に続く

(54) 【発明の名称】 アバランシェホトダイオード及びその製造方法

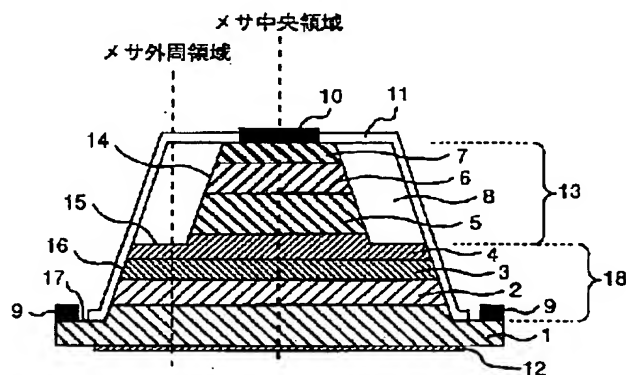
(57) 【要約】

【目的】 暗電流を低く抑えることができる新規の構造を採用した信頼性の高いメサ型のアバランシェホトダイオード及びその製造方法を提供すること。

【解決手段】 光を吸収してキャリアを発生する光吸収層と、発生したキャリアを増倍する増倍層と、光吸収層と増倍層の間に挿入された電界調整層とを有し、増倍層の少なくとも一部と電界調整層の一部を含む第一のメサ

(台地) が基板上に形成され、更に電界調整層の他の一部と光吸収層を含む第二のメサが第一のメサ上に形成される。第一のメサの頂部の面積は、第二のメサの底部の面積よりも大きく、第一のメサの頂部の第二のメサに覆われない面と第二のメサの側面に半導体層が形成される。

図 1



【特許請求の範囲】

【請求項 1】光を吸収してキャリアを発生する光吸収層と、発生したキャリアを増倍する増倍層と、前記光吸収層および前記増倍層との間に設けられた電界調整層とが基板上に設けられ、

前記電界調整層のキャリア濃度または膜厚はその電界調整層の内部または中心部の部位に比べてその電界調整層の周縁部または周辺部の部位の方が相対的に小であることを特徴とするアバランシェホトダイオード。

【請求項 2】前記電界調整層は第 1 および第 2 の電界調整層を有し、そのデバイスの一断面でみて前記増倍と前記第 1 の電界調整層とを有する第 1 の略台形形状または第 1 の略メサ形状の部分と、前記第 2 の電界調整層と前記光吸収層とを有する第 2 の略台形形状または第 2 の略メサ形状の部分とを有し、前記第 1 の略台形形状または第 1 の略メサ形状の部分の底面部分に対する頂面部分の面積は前記第 2 の略台形形状または第 2 の略メサ形状の部分の頂面部分に対する底面部分の面積よりも大であることを特徴とする請求項 1 記載のアバランシェホトダイオード。

【請求項 3】前記第 1 の略台形形状または第 1 の略メサ形状の部分および前記第 2 の略台形形状または第 2 の略メサ形状の部分の側面のそれぞれ少なくとも一部には保護膜、半導体の薄膜または絶縁体が設けられていることを特徴とする請求項 2 記載のアバランシェホトダイオード。

【請求項 4】前記第 2 の略台形形状または第 2 の略メサ形状の部分の側面には埋め込み層が設けられていることを特徴とする請求項 2 記載のアバランシェホトダイオード。

【請求項 5】前記埋め込み層におけるキャリア濃度が前記光吸収層におけるキャリア濃度よりも小さいことを特徴とする請求項 4 記載のアバランシェホトダイオード。

【請求項 6】前記第 1 の略台形形状または第 1 の略メサ形状の部分および前記埋め込み層の側面のそれぞれ少なくとも一部には保護膜、半導体の薄膜または絶縁体が設けられていることを特徴とする請求項 4 記載のアバランシェホトダイオード。

【請求項 7】前記埋め込み層におけるキャリア濃度が前記光吸収層におけるキャリア濃度よりも小さいことを特徴とする請求項 6 記載のアバランシェホトダイオード。

【請求項 8】前記基板と前記増倍層との間にはバッファ層が設けられ、前記光吸収層の前記電界調整層の側とは反対側にはキャップ層、コンタクト層および電極が設けられ、前記基板上にも電極が設けられ、両電極間に電圧が印加されることにより素子動作するように構成されていることを特徴とする請求項 1 記載のアバランシェホトダイオード。

【請求項 9】光を吸収してキャリアを発生する光吸収層と、発生したキャリアを増倍する増倍層と、前記光吸収

層および前記増倍層との間に設けられた電界調整層とが基板上に設けられ、

前記電界調整層は第 1 および第 2 の電界調整層を有し、そのデバイスの一断面でみて前記増倍層と前記第 1 の電界調整層とを有する第 1 の略台形形状または第 1 の略メサ形状の部分と、前記第 2 の電界調整層と前記光吸収層とを有する第 2 の略台形形状または第 2 の略メサ形状の部分とを有し、前記第 1 の略台形形状または第 1 の略メサ形状の部分の底面部分に対する頂面部分の面積は前記第 2 の略台形形状または第 2 の略メサ形状の部分の頂面部分に対する底面部分の面積よりも大であることを特徴とするアバランシェホトダイオード。

【請求項 10】前記電界調整層のキャリア濃度または膜厚はその電界調整層の内部または中心部の部位に比べてその電界調整層の周縁部または周辺部の部位の方が相対的に小であることを特徴とする請求項 9 記載のアバランシェホトダイオード。

【請求項 11】前記第 1 の略台形形状または第 1 の略メサ形状の部分および前記第 2 の略台形形状または第 2 の略メサ形状の部分の側面のそれぞれ少なくとも一部には保護膜、半導体の薄膜または絶縁体が設けられていることを特徴とする請求項 9 記載のアバランシェホトダイオード。

【請求項 12】前記第 2 の略台形形状または第 2 の略メサ形状の部分の側面には埋め込み層が設けられていることを特徴とする請求項 9 記載のアバランシェホトダイオード。

【請求項 13】前記埋め込み層におけるキャリア濃度が前記光吸収層におけるキャリア濃度よりも小さいことを特徴とする請求項 12 記載のアバランシェホトダイオード。

【請求項 14】前記第 1 の略台形形状または第 1 の略メサ形状の部分および前記埋め込み層の側面のそれぞれ少なくとも一部には保護膜、半導体の薄膜または絶縁体が設けられていることを特徴とする請求項 11 記載のアバランシェホトダイオード。

【請求項 15】前記埋め込み層におけるキャリア濃度が前記光吸収層におけるキャリア濃度よりも小さいことを特徴とする請求項 14 記載のアバランシェホトダイオード。

【請求項 16】前記基板と前記増倍層との間にはバッファ層が設けられ、前記光吸収層の前記電界調整層の側とは反対側にはキャップ層、コンタクト層および電極が設けられ、前記基板上にも電極が設けられ、両電極間に電圧が印加されることにより素子動作するように構成されていることを特徴とする請求項 9 記載のアバランシェホトダイオード。

【請求項 17】光を吸収してキャリアを発生する光吸収層と、発生したキャリアを増倍する増倍層と、該光吸収層と該増倍層の間に挿入されて電界調整層となるそれぞ

れの結晶層含む多層結晶層を基板面上に形成する工程と、
該多層結晶層の上面から該電界調整層の途中までエッチングすることによって第二のメサ（台地）を形成する工程と、
形成した該半導体層の上面から該増倍層と該電界調整層の間に形成される p n 接合面を越える深さまで、該第二のメサが残るようにエッチングすることにより、頂部の面積が該第二のメサの底部の面積よりも大きい第一のメサを形成する工程とを有していることを特徴とするアバランシェホトダイオードの製造方法。

【請求項 18】前記メサ側壁に半導体膜を形成する工程を有することを特徴とする請求項 17 記載のアバランシェホトダイオードの製造方法。

【請求項 19】該第二のメサの側面とエッチング後の該多層結晶層の上面とに半導体層を形成する工程を有することを特徴とする請求項 17 記載のアバランシェホトダイオードの製造方法。

【請求項 20】前記第 2 のメサ側面に埋め込み層を形成する工程を有することを特徴とする請求項 17 記載のアバランシェホトダイオードの製造方法。

【請求項 21】前記第 1 メサ側壁および前記埋め込み層の側面のそれぞれ少なくとも一部に保護膜、半導体の薄膜または絶縁体を形成する工程を有することを特徴とする請求項 16 記載のアバランシェホトダイオードの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体を用いた受光素子に係り、特に暗電流が低く、信頼性の高いメサ型のアバランシェホトダイオードに関する。

【0002】

【従来の技術】光通信等で使用するアバランシェホトダイオードは、光電変換を行なう光吸収領域に加え、光電変換されたキャリアをアバランシェ（雪崩）増倍させる層を設けることによって受光感度を高めた半導体受光素子であり、暗電流が低くかつ高い信頼性を有することが不可欠である。

【0003】半導体受光素子は、多くは化合物半導体によって形成され、その構造からプレーナ型とメサ型に大別することができる。メサ型は、基板上にメサ（台地）が形成され、同メサ中に p n 接合を含んだ構造のダイオードである。メサ型は、製造工程が簡単であるが信頼性が低く、暗電流が高い欠点があった。その理由は、メサ側面に現れる p n 接合が電界強度の高い状態である上に、元来、接合の周辺部（エッジ）には電界が集中しやすいこと、露出面に形成された準位や欠陥によってミクロな漏れ電流経路ができやすいことによる。

【0004】他方、プレーナ型は、電界強度の高い p n 接合の領域が結晶内部に形成され、表面に現れる部分は

電界強度が低くなる様に工夫されているため、信頼性、暗電流の点で優れている。しかし、製造工程が複雑であり、素子構造によっては製造困難となる欠点があって実用性に乏しい。

【0005】メサ型半導体受光素子における上記欠点を軽減する方法として、例えば、メサ側面を埋め込み層で覆う構造が特開平 6-232442 号公報によって開示されている。その技術を図 10 を用いて説明する。基板 81 上に結晶成長した層 82～88 にメサを形成した後、メサの側面 90 及び外周面 91 に高抵抗半導体の埋め込み層 89 を成長する工程が採用される。層 83 と層 84 の間の境界に p n 接合面が形成される。その他、電極 92、93 及び反射防止膜 94 が形成される。

【0006】この構造では、メサ側面 90 が埋め込み層 89 で覆われるため、埋め込み層 89 が無い場合に比べて表面準位や表面欠陥に起因する漏れ電流が減少する。

【0007】

【発明が解決しようとする課題】しかし、上記構造では、メサ側面 90 に現れる p n 接合周辺の電界強度が高いままのため、実用に供するに十分な低暗電流、高信頼性を得ることができなかった。特にアバランシェホトダイオードのように、電界強度が高い p n 接合を有する素子では、接合周辺で降伏（エッジ降伏）が起き、増倍率が低く、均一性が悪くなる等の傾向を避けることができない。

【0008】本発明の目的は、暗電流を低く抑えることができる新規の構造を採用した信頼性の高いメサ型のアバランシェホトダイオード及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するための本発明のアバランシェホトダイオードは、光を吸収してキャリアを発生する光吸収層と、発生したキャリアを増倍する増倍層と、該光吸収層と該増倍層の間に挿入された電界調整層とを有し、増倍層の少なくとも一部と電界調整層の一部を含む第一のメサ（台地）が基板上に形成され、更に電界調整層の他の一部と光吸収層を含む第二のメサが第一のメサ上に形成されており、第一のメサの頂部の面積は、第二のメサの底部の面積よりも大きいことを特徴とする。第一のメサの頂部の第二のメサに覆われない面と該第二のメサの側面に半導体層が形成されていることを特徴とする。なお、以下では半導体層を埋め込み層と称することとする。

【0010】更に、上記アバランシェホトダイオードは、第一のメサに含まれる電界調整層の一部の厚さが第一のメサと第二のメサに跨る電界調整層の厚さよりも小さいことを付加的な特徴とする。

【0011】また、上記アバランシェホトダイオードは、第一のメサの頂部の第二のメサに覆われない面と該第二のメサの側面に半導体層が形成されていることを付

加的な特徴とする。なお、以下では該半導体層の膜厚が第二メサの高さ程度になるよう厚く形成される場合には埋め込み層と称し、メサ表面を保護する目的で薄く形成される場合には半導体保護膜と称することとする。この保護膜は薄膜であることが好ましい。またそれは絶縁体または半導体であることが望ましい。

【0012】以上のような特徴を有する本発明のメサ型アバランシェホトダイオードの一構造を図1に示す。後で詳述するが、図1において、1はn型のInP基板、2はn型InAlAsのバッファ層、3はn型InAlAs/InGaAsの増倍層、4はp型InAlAsの電界調整層、5はp型InGaAsの光吸収層、6はp型InAlAsのキャップ層、7はp型InGaAsのコンタクト層である。

【0013】n型の増倍層3とp型の電界調整層4の間の境界にpn接合面が形成される。そして、電界調整層4の厚さの中間を境にして、その下方の各層により、pn接合面を含む第一のメサ18が形成され、上方の各層によって第二のメサ13が形成される。

【0014】メサ18の頂部の面積は、メサ13の底部の面積よりも大きい。従って、メサ18の頂部の面にはメサ13の底部に覆われない面が形成される。以下、この面を第二のメサの外周面（図1においては、記号15）ということとする。

【0015】メサ13の側面14と外周面15に埋め込み層8が形成される。埋め込み層8は、そのキャリア濃度が光吸収層5と同程度かそれ以下に設定され、高抵抗である。

【0016】上記構造により、pn接合周辺の電界強度を下げるができる。その原理を図2を用いて説明する。アバランシェホトダイオードでは電界の設計が重要である。図1の破線で示したメサ中央領域における増倍層3、電界調整層4、吸収層5の電界強度分布は図2の一点鎖線のようにになる。即ち、増倍層3はアバランシェ増倍を引き起こすために電界強度が高く、逆に吸収層5はアバランシェ増倍を避けるために電界強度が低く設定される。このような電界強度分布は、電界調整層4のキャリア濃度を適当に調整することにより形成可能である。なお、キャップ層6のキャリア濃度が吸収層5よりも大幅に高く設定されるので、電界は、吸収層5を越えては形成されない。

【0017】この状態では増倍層3の電界強度が非常に高いため、そのまま素子表面に露出させると信頼性が劣化する。本発明は、信頼性を確保するため、表面に露出する増倍層3の電界強度を下げることに着目している。

【0018】増倍層3の電界強度を変化させるには、電界調整層4の濃度又は厚さを調整すればよい。具体的には、例えば電界調整層4の濃度を1/2にするか、濃度はそのまま厚さを1/2にすれば、電界調整層4での電界強度上昇はそれまでの1/2となり、結果的に増倍

層3の電界強度を低減することができる。

【0019】従って、図1の破線で示したメサ外周領域、即ち、メサ13の外周面15となる部分の電界調整層4の厚さを減少させ、かつその上にキャリア濃度の比較的低い埋込層8を形成すれば、表面付近の電界強度分布は、図2の実線で示すようになり、増倍層3の電界強度を低減することが可能になる。

【0020】なお、メサ外周部15の部分の電界調整層4の厚さをどの程度にするかは、素子の電界設計に応じて定めれば良く、上記に記述した1/2に限らないことは言うまでもない。また、メサ外周部15の部分の電界調整層4の厚さは、基板1の方向に増大する場合がある。このような場合も、その厚さを、メサ13とメサ18に跨る電界調整層4の厚さ、即ちメサ中央領域における電界調整層4の厚さよりも小さくすることにより、同様の効果を得ることができる。

【0021】また、メサ中央部の電界調整層の厚さがメサ外周部より厚くすれば、上記の効果は埋め込み層8がない場合にも有効であることを次に示す。図3は、本発明の素子における電界分布の計算結果の一例である。ここでは、電界調整層204（p型、不純物濃度 $7 \times 10^{17} \text{ cm}^{-3}$ ）の厚さは、メサ部で $0.05 \mu\text{m}$ 、メサ外周部で $0.03 \mu\text{m}$ である。図3上図に示した素子の中心部であるメサ部における増倍層203、電界調整層204、吸収層205の電界分布は下図の実線のようになる。すなわち、増倍層ではアバランシェ増倍が起きるために電界を高く、逆に吸収層ではアバランシェ増倍やトンネル暗電流を避けるために電界を低くする必要がある。このような電界分布の最適化は、電界調整層のキャリア濃度を適切に設計することで可能である。また、図3のメサ外周部における電界分布は下図の破線のようになる。メサ部の電界分布（実線）に比べ低電界であるため、エッジ降伏が抑制でき暗電流が低減できる。これは、メサ外周部で吸収層がなく、メサ外周部での半導体全体の膜厚がメサ部の半導体全体の膜厚よりも薄くなっている2次元的な構造の効果に起因している。したがって、メサ外周部の増倍層に加わる電圧が低減され、電界が下がることになる。

【0022】以上の方法で、表面付近の電界強度を下げるにより、表面準位や表面欠陥に起因する漏れ電流が減少し、暗電流を減少させると共に信頼性を高めることができる。

【0023】

【発明の実施の形態】以下、本発明に係るアバランシェホトダイオード及びその製造方法を図面に示した実施例による発明の実施の形態を参照して更に詳細に説明する。

【0024】

【実施例】<実施例1>図1に本実施例のアバランシェホトダイオードの断面構造を示す。各層の導電型、キャ

リア濃度及び厚さを括弧の中に記すと、図1において、1はInP基板(n型、 $1 \times 10^{19} \text{cm}^{-3}$)、2はInAlAsのパッファ層(n型、 $2 \times 10^{18} \text{cm}^{-3}$ 、 $0.7 \mu\text{m}$)、3はInAlAs/InGaAsの増倍層(n型、 $5 \times 10^{14} \text{cm}^{-3}$ 、 $0.2 \mu\text{m}$)、4はInAlAsの電界調整層(p型、 $7 \times 10^{17} \text{cm}^{-3}$ 、 $0.02 \mu\text{m}$)、5はInGaAsの光吸収層(p型、 $2 \times 10^{15} \text{cm}^{-3}$ 、 $1.2 \mu\text{m}$)、6はInAlAsのキャップ層(p型、 $2 \times 10^{18} \text{cm}^{-3}$ 、 $1 \mu\text{m}$)、7はInGaAsのコンタクト層(p型、 $5 \times 10^{19} \text{cm}^{-3}$ 、 $0.1 \mu\text{m}$)である。

【0025】後で述べるように、上記各層になる各結晶層を基板1の上面に形成してから、その結晶表面より電界調整層4の途中までエッチングすることにより、第二メサ13が形成される。メサ13の形状は、目的によって円、楕円、矩形、ストライプ、分岐状など自由であるが、本実施例では円形である。図1において、14及び15はメサ13のそれぞれ側面及び外周面であり、外周面15は電界調整層4に形成されている。

【0026】8は埋め込み層であり、メサ13の側面14及び外周面15に形成される。埋め込み層8のキャリア濃度は、光吸収層5と同程度以下が望ましく、本実施例ではp型の $1 \times 10^{14} \text{cm}^{-3}$ とした。埋め込み層8は、メサ13の外周面15において光吸収層5より高い位置に達する厚さを持つことが望ましく、本実施例では厚さはキャップ層7に達する $2.31 \mu\text{m}$ の値を持つ。

【0027】第二メサ18は、メサ13の外側に適当な幅の埋め込み層8を残し、pn接合面(増倍層3と電界調整層4の境界)を越える深さにエッチングすることによって形成される。図1において、16及び17は、メサ18のそれぞれ側面と外周面である。メサ18の形状は目的によって、円、楕円、矩形、ストライプ、分岐状等、自由であるが、メサ13を包含する大きさを持つ。図1の実施例では、メサ18は円形であり、メサ13と同心円である。

【0028】pn接合面は、メサ18の側面16に現れる。メサ18の外周面17は、pn接合面より深い位置にあれば良く、本実施例では基板1に達する。また、メサ18の側面16及び埋め込み層8の表面に保護膜11が被着される。更に、コンタクト層7の表面に電極10、メサ18の底面17に電極9、基板1の裏側に反射防止膜12が設けられる。保護膜と反射防止膜の有無と種類等、及び電極の種類と位置等は必要によって自由である。

【0029】上記のメサ型のアバランシェホトダイオードの製造方法を図4、5を用いて説明する。まず、図4aに示すように、InP基板1の上に、上記の層2～7となる各結晶層(記号は層2～7と同じ)をMBE(分子線エピタキシ)法で成長させて多層結晶層とし、続いて、結晶層7の表面に直径 $35 \mu\text{m}$ のSiO₂マスク1

00を形成した。各結晶層の組成、導電型、キャリア濃度および厚さは上記の通りである。

【0030】続いて、ウェットエッチング法により結晶層4の途中までエッチング除去し、図4bの状態とした。ここ迄で、側面14及び外周面15のメサ13が形成される。外周面15に結晶層4が現れている。

【0031】以上の工程により、メサ外周領域の電界調整層4の厚さが、メサ中央領域の電界調整層4の厚さよりも薄くなった。

【0032】次に、埋め込み層8となるInAlAs(p型、 $1 \times 10^{14} \text{cm}^{-3}$)の結晶層8をMBE法で成長させ、図4cのようにした。ここで、結晶層8は、メサ13の外周面15及び側面14を覆い、メサ13の外周面15で $2.31 \mu\text{m}$ の厚さに成長した。

【0033】続いて、SiO₂マスク100を除去し、新たにマスク100よりも径が大きいホトレジストマスク101を形成し、図5aのようにする。ホトレジストマスク101は、直径 $45 \mu\text{m}$ 、位置は図4aのマスク100と同心である。

【0034】次に、ウェットエッチング法にて基板1に至るまでエッチングし、図5bのようにした。側面16及び外周面17を持つメサ18が形成される。

【0035】最後に、図1に示すように、コンタクト層7からメサ18の外周面17にかけて保護膜(SiN/SiO₂、厚さ $0.1 \mu\text{m}/0.3 \mu\text{m}$)11を被着した。また、コンタクト層7及びメサ18の外周面(基板の露出面)17に被着した保護膜11を部分的に除去し、電極(TiPtAu、厚さ $1.5 \mu\text{m}$)9、10を形成し、基板1裏面(メサ13、18を形成した反対側の面)には反射防止膜(SiN、厚さ $0.12 \mu\text{m}$)12を被着してチップとした。

【0036】製造したチップに逆バイアスを印加したところ、降伏電圧(Vb)は 24V 、 0.9Vb における暗電流は 50nA と十分に低い値であった。高温逆バイアス通電試験(200°C 、 $100 \mu\text{A}$ で一定)では、 1000 時間後の電圧変動は 1V 以下であり、室温における降伏電圧、暗電流も試験前と変化がなく、高い信頼性を示し、良好であった。また、光信号の増倍率は最大50であり、メサ中央領域で均一であった。

【0037】また、図6に示すように、埋め込み層8の上面が非平坦なチップについても同様な素子特性が得られ、本素子の特性は埋め込み層の形状には依存しないことが確認できた。

＜実施例2＞アバランシェホトダイオードの電界調整層は $0.05 \mu\text{m}$ 程度と薄いため、電界調整層の途中でエッチングを止めるのが若干困難となる場合がある。そのような場合に採用されるアバランシェホトダイオードの断面構造を図7に示す。

【0038】図7において、21はInP基板(n型、 $1 \times 10^{19} \text{cm}^{-3}$)、22はInAlAsのパッファ層

(n 型、 $2 \times 10^{18} \text{ cm}^{-3}$ 、 $0.7 \mu\text{m}$)、23は $\text{InAlAs}/\text{InGaAs}$ の増倍層(n 型、 $5 \times 10^{14} \text{ cm}^{-3}$ 、 $0.2 \mu\text{m}$)、24は InAlAs の電界調整層(p 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、 $0.02 \mu\text{m}$)、25は InGaAs の電界調整層(p 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、 $0.01 \mu\text{m}$)、26は InAlAs の電界調整層(p 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、 $0.02 \mu\text{m}$)、27は InGaAs の光吸収層(p 型、 $2 \times 10^{15} \text{ cm}^{-3}$ 、 $1.2 \mu\text{m}$)、28は InGaAlAs のキャップ層(p 型、 $2 \times 10^{18} \text{ cm}^{-3}$ 、 $1 \mu\text{m}$)、29は InGaAs のコンタクト層(p 型、 $5 \times 10^{19} \text{ cm}^{-3}$ 、 $0.1 \mu\text{m}$)である。

【0039】後述するが、上記各層になる各結晶層を基板21の上面に形成してから、その結晶表面より電界調整層26までエッチングすることにより、円形の第二メサ35が形成される。図7において、36及び37はメサ35のそれぞれ側面及び外周面であり、外周面37は電界調整層25に形成されている。

【0040】30は、埋め込み層であり、メサ35の側面36及び外周面37に形成される。

【0041】第一メサ40は、メサ35の外側に適当な幅の埋め込み層30を残し、 pn 接合面(増倍層23と電界調整層24の境界)を越える深さにエッチングすることにより形成される。図7において、38及び39は、メサ40のそれぞれ側面と外周面である。メサ40は、メサ35を包含する大きさを持つ。図7の実施例では、メサ40は円形であり、メサ35と同心円である。

【0042】 pn 接合面はメサ40の側面38に現れる。メサ40の外周面39は、 pn 接合面より深い位置にあれば良く、本実施例では基板21に達する。また、メサ40の側面38及び埋め込み層30の表面に保護膜33が被着される。更に、コンタクト層29の表面に電極32、メサ40の底面39に電極31、基板21の裏側に反射防止膜34が設けられる。

【0043】上記のメサ型のアバランシェホトダイオードの製造方法を図8、9を用いて説明する。まず、図8aに示すように、 InP 基板21の上に、上記の層22～29となる各結晶層(記号は層22～29と同じ)をMBE法で成長させて多層結晶層とし、続いて、結晶層29の表面に直径 $35 \mu\text{m}$ の SiO_2 マスク102を形成した。各結晶層の組成は上記の層22～29のそれぞれに記した通りであり、その導電型、キャリア濃度及び厚さは括弧の中に記した通りである。

【0044】次に、上記を InAlAs と InGaAs で選択性のあるエッチング液を交互に使用することにより InAlAs の結晶層26までエッチング除去し、図8bの状態とした。ここ迄で、側面36及び外周面37を持つメサ35が形成される。外周面37に結晶層25の表面が現れている。

【0045】以上の工程で、メサ外周領域の電界調整層

の厚さが、メサ中央領域の電界調整層の厚さよりも薄くなった。

【0046】次に、埋め込み層30となる InAlAs (p 型、 $1 \times 10^{14} \text{ cm}^{-3}$)の結晶層30をMBE法で成長させ、図8cのようにした。ここで、結晶層30は、メサ35の外周面37及び側面36を覆い、メサ35の外周面37で $2.32 \mu\text{m}$ の厚さに成長した。

【0047】続いて、 SiO_2 マスク102を除去し、新たにマスク102よりも径が大きいホトレジストマスク103を形成し、図9aのようにする。ホトレジストマスク103は、直径 $45 \mu\text{m}$ 、位置は図8aのマスク102と同心である。

【0048】次に、ウェットエッチング法にて基板21に至るまでエッチングし、図9bのようにした。側面38及び外周面39を持つメサ40が形成される。

【0049】最後に、図7に示すように、コンタクト層29からメサ40の外周面39に掛けて保護膜(SiN/SiO_2 、厚さ $0.1 \mu\text{m}/0.3 \mu\text{m}$)33を被着した。また、コンタクト層29及びメサ40の外周面(基板の露出面)39に被着した保護膜33を部分的に除去し、電極(TiPtAu 、厚さ $1.5 \mu\text{m}$)31、32を形成し、基板21裏面(メサ35、40を形成した反対側の面)には反射防止膜(SiN 、厚さ $0.12 \mu\text{m}$)34を被着してチップとした。

【0050】製造したチップに逆バイアスを印加したところ、降伏電圧(V_b)は 24 V 、 $0.9 V_b$ における暗電流は 50 nA と十分に低い値であった。高温逆バイアス通電試験(200°C 、 $100 \mu\text{A}$ で一定)では、 1000 時間後の電圧変動は 1 V 以下であり、室温における降伏電圧、暗電流も試験前と変化がなく、高い信頼性を示し、良好であった。また、光信号の増倍率は最大50であり、メサ中央領域で均一であった。

【0051】従来の10ギガビット光受信器のPIN型ホトダイオードを本アバランシェホトダイオードで置き換えたところ、最小受信感度が -19 dBm から -28 dBm に大幅に改善された。この光受信器及びその他の必要部品を搭載して光モジュールが構成される。

<実施例3>結晶成長にVPE(気相エピタキシ)法を用いて作成したアバランシェホトダイオードの断面構造を図11に示す。

【0052】図11において、41は InP 基板(n 型、 $5 \times 10^{18} \text{ cm}^{-3}$)、42は InAlAs のバッファ層(n 型、 $2 \times 10^{18} \text{ cm}^{-3}$ 、 $0.7 \mu\text{m}$)、43は InAlAs の増倍層(n 型、 $5 \times 10^{14} \text{ cm}^{-3}$ 、 $0.2 \mu\text{m}$)、44は InP の電界調整層(p 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、 $0.04 \mu\text{m}$)、45は InGaAs の電界調整層(p 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、 $0.02 \mu\text{m}$)、46は InGaAs の光吸収層(p 型、 $1 \times 10^{15} \text{ cm}^{-3}$ 、 $1.2 \mu\text{m}$)、47は InGaAsP のキャップ層(p 型、 $5 \times 10^{17} \text{ cm}^{-3}$ 、 $1 \mu\text{m}$)、48は InG

a A s のコンタクト層 (p 型、 $5 \times 10^{18} \text{ cm}^{-3}$ 、 $0.1 \mu\text{m}$) である。

【0053】後で詳述するが、上記各層になる各結晶層を基板 41 の上面に形成してから、その結晶表面より電界調整層 45 までエッチングすることにより、円形の第二メサ 49 が形成される。図 11 における 50 及び 51 は、メサ 49 のそれぞれ側面及び外周面であり、外周面 51 は電界調整層 44 に形成されている。

【0054】52 は埋め込み層であり、メサ 49 の側面 50 及び外周面 51 に形成される。

【0055】第二メサ 53 は、メサ 49 の外側に適当な幅の埋め込み層 52 を残し、pn 接合を越える深さにエッチングすることにより形成される。図 11 における 54 及び 55 は、メサ 53 のそれぞれ側面及び外周面である。メサ 53 はメサ 49 を包含する大きさを持つ。本実施例では、メサ 53 は円形であり、メサ 49 と同心円である。

【0056】上記のメサ型のアバランシェホトダイオードの製造方法を図 12 及び図 13 を用いて説明する。まず、図 12a に示すように、InP 基板 41 の上面に、上記の層 42～48 となる各結晶層 (記号は層 42～48 と同じ) を MOVPE (有機金属気相エピタキシ) 法で成長させて多層結晶層とし、続いて、結晶層 48 の表面に直径 $35 \mu\text{m}$ の SiO_2 マスク 102 を形成した。各結晶層の組成は上記の層 42～48 のそれぞれに記した通りであり、その導電型、キャリア濃度及び厚さは括弧の中に記した通りである。

【0057】次に、上記を P 系と A s 系で選択性のあるエッチング液を使用することにより、InGaAs の結晶層 45 までエッチングで除去し、図 12b の状態とした。ここ迄で、側面 50 及び外周面 51 を持つメサ 49 が形成される。外周面 51 に結晶層 44 の表面が現れている。

【0058】以上の工程で、メサ外周領域の電界調整層の厚さが、メサ中央領域の電界調整層の厚さよりも薄くなった。

【0059】次に、図 12c に示すように、埋め込み層 52 となる InP (p 型、 $1 \times 10^{15} \text{ cm}^{-3}$) の結晶層 52 を塩化物系 VPE 法で成長させた。ここで、結晶層 52 は、メサ 49 の側面 50 及び外周面 51 を覆い、メサ 49 の外周面で $2.32 \mu\text{m}$ の厚さに成長した。なお、結晶層 52 は、Fe をドーピングした半絶縁性の InP を MOVPE 法で成長させてもよい。

【0060】続いて、 SiO_2 マスク 102 を除去し、図 13a に示すように、新たにマスク 102 よりも径が大きいホトレジストマスク 103 を形成した。ホトレジストマスク 103 は直径が $45 \mu\text{m}$ 、位置は図 12a のマスク 102 とほぼ同心円である。

【0061】次に、ウェットエッチング法により、図 13b に示すように、基板 41 に至るまでエッチングし

た。これにより、側面 54 及び外周面 55 を持つメサ 53 が形成される。

【0062】最後に、図 11 に示すように、コンタクト層 48 からメサ 53 の外周面 55 にかけて保護膜 33 (SiN/SiO_2 、厚さ $0.1 \mu\text{m}/0.3 \mu\text{m}$) を被着した。また、コンタクト層 48 及びメサ 53 の外周面 55 (基板 41 の露出面) に被着した保護膜 33 を部分的に除去し、電極 31、32 (TiPtAu、厚さ $1.5 \mu\text{m}$) を形成し、基板 41 の裏面 (メサ 49、53 を形成した反対側の面) に反射防止膜 34 (SiN 、厚さ $0.12 \mu\text{m}$) を被着してチップとした。

【0063】製造したチップに逆バイアスを印加したところ、降伏電圧 (V_b) は 30 V 、 $0.9 V_b$ における暗電流は 100 nA と十分に低い値であった。また、高温逆バイアス試験によって信頼性を予測したところ、 85°C では 10 万時間に相当する高い信頼性を有することが判明した。

<実施例 4>図 14 は、本発明により作製される裏面入射型アバランシェホトダイオードの断面図である。作製方法を図 15 を用いて説明する。

【0064】図 15 (a) は使用した半導体層の断面図であり、201 は InP 基板 (n 型、 $2 \times 10^{18} \text{ cm}^{-3}$)、202 は InAlAs のバッファ層 (n 型、 $2 \times 10^{18} \text{ cm}^{-3}$ 、 $0.7 \mu\text{m}$)、203 は InAlAs の増倍層 (n 型、 $5 \times 10^{14} \text{ cm}^{-3}$ 、 $0.2 \mu\text{m}$)、232 は InAlAs の電界調整層 (p 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、 $0.02 \mu\text{m}$)、233 は InGaAs の電界調整層 (p 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、 $0.01 \mu\text{m}$)、234 は InAlAs の電界調整層 (p 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、 $0.02 \mu\text{m}$)、205 は InGaAs の光吸収層 (p 型、 $2 \times 10^{15} \text{ cm}^{-3}$ 、 $1.2 \mu\text{m}$)、206 は InAlAs のキャップ層 (p 型、 $2 \times 10^{18} \text{ cm}^{-3}$ 、 $1 \mu\text{m}$)、207 は InGaAs のコンタクト層 (p 型、 $5 \times 10^{19} \text{ cm}^{-3}$ 、 $0.1 \mu\text{m}$) である。これらの半導体多層膜は MBE 法で成長した。層 207 の表面に直径 $35 \mu\text{m}$ の SiO_2 マスク 241 を形成した。

【0065】上記を InAlAs と InGaAs で選択性のあるエッチング液を交互に使用することにより InAlAs の電界調整層 234 までエッチング除去する。ここで、露出した第二メサの側面 213 及び第二メサの外周面 214 を保護するため、MOVPE 法により InP 半導体保護膜 208 (アンドープ、 $0.1 \mu\text{m}$) を設け図 (b) の状態とした。ここまでの工程で、メサ外周部の電界調整層の厚さが、メサ中央部の電界調整層の厚さよりも薄くなる。

【0066】次に、 SiO_2 マスク 241 を除去し、新たにホトレジストマスク 242 を図 (c) の様に形成する。ホトレジストマスク 242 は、直径 $45 \mu\text{m}$ 、位置は図 (a) のマスク 241 と同心である。

【0067】次に、上記をウェットエッチング法にて基

板 1 に至るまでエッチングし、図 (d) の様にした。図中、215 は形成された第一メサの側面であり、216 は第一メサの外周面である。

【0068】次に、ホトレジストマスク 242 を除去し、コンタクト層 207 から第一メサの外周面 216 に掛けて保護膜 (SiN/SiO₂、厚さ 0.1 μm/0.3 μm) 209 を被着した。

【0069】最後に、図 14 に示すように、コンタクト層 207 および第一メサの外周面 (基板の露出面) 216 に被着した保護膜 209 を部分的に除去し、電極 (TiPtAu、厚さ 1.5 μm) 210 と 211 を形成し、さらに基板裏面 (メサを形成した反対側の面) には反射防止膜 (SiN、厚さ 0.12 μm) 212 を被着してチップとした。

【0070】チップに逆バイアスを印加したところ、降伏電圧 (Vb) は 24 V、0.9 Vb における暗電流は 50 nA であった。高温逆バイアス通電試験 (200 °C、100 μA 一定) では、1000 時間後の電圧変動は 1 V 以下、室温における降伏電圧、暗電流も試験前と変化が無く、良好であった。また、光信号の増倍率は最大 50 であり、メサ中央領域で均一であった。

<実施例 5> 図 16 は、本発明により作製される裏面入射型アバランシェホトダイオードの断面図である。

【0071】251 は InP 基板 (導電型: p 型、キャリア濃度: $1 \times 10^{19} \text{ cm}^{-3}$)、252 は InP のバッファ層 (p 型、 $2 \times 10^{18} \text{ cm}^{-3}$ 、0.7 μm)、253 は InP の増倍層 (p 型、 $5 \times 10^{14} \text{ cm}^{-3}$ 、0.2 μm)、254 は InP の電界調整層 (n 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、0.03 μm)、255 は InGaAs の電界調整層 (n 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、0.01 μm)、256 は InP の電界調整層 (n 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、0.01 μm)、257 は InGaAs の光吸収層 (n 型、 $2 \times 10^{15} \text{ cm}^{-3}$ 、1.2 μm)、258 は InP のキャップ層 (n 型、 $2 \times 10^{18} \text{ cm}^{-3}$ 、1 μm)、259 は InGaAs のコンタクト層 (n 型、 $2 \times 10^{18} \text{ cm}^{-3}$ 、0.1 μm) である。これらの半導体多層膜は MOVPE 法で成長した。作製工程は図 15 と同様である。ただし、第二メサの側面 213 と第二メサの外周面 214 上のみ InP (アンドープ、0.1 μm) の半導体保護膜 208 を付加し、その上に絶縁膜 209 (SiN/SiO₂、厚さ 0.1 μm/0.3 μm) をコンタクト層 259 から第一メサの外周面 216 に掛けて図 16 のように被着した。

【0072】最後に、図 16 に示すように、コンタクト層 259 および第一メサの外周面 (基板の露出面) 216 に被着した保護膜 209 を部分的に除去し、電極 (TiPtAu、厚さ 1.5 μm) 260 と 261 を形成し、さらに基板裏面 (メサを形成した反対側の面) には反射防止膜 (SiN、厚さ 0.12 μm) 262 を被着してチップとした。

【0073】チップに逆バイアスを印加したところ、降

伏電圧 (Vb) は 24 V、0.9 Vb における暗電流は 50 nA であった。高温逆バイアス通電試験 (200 °C、100 μA 一定) では、1000 時間後の電圧変動は 1 V 以下、室温における降伏電圧、暗電流も試験前と変化が無く、良好であった。また、光信号の増倍率は最大 50 であり、メサ中央領域で均一であった。

【0074】実施例 1~5 は面入射型であり、これらの素子の光受信モジュールへの実装形態の例を図 17 に示した。チップ 301 の上面側がサブマウント 302 へボンディングされる。303 はプリアンプ、304 は光モジュール基板、305 は光ファイバである。

【0075】また、図 18 は光モジュールの等価回路の概略図である。素子抵抗 310 と素子容量 311 を含む破線部分 414 が素子の等価回路であり、312 は接触抵抗、313 は寄生容量を示す。

<実施例 6> 図 19 (a) は、本発明により作製される導波路型アバランシェホトダイオードの鳥瞰図であり、図 19 (b) は図 (a) の破線部の断面構造図である。

【0076】271 は InP 基板 (n 型、 $2 \times 10^{18} \text{ cm}^{-3}$)、272 は InAlAs のバッファ層 (n 型、 $2 \times 10^{18} \text{ cm}^{-3}$ 、0.7 μm)、273 は InAlAs の増倍層 (n 型、 $5 \times 10^{14} \text{ cm}^{-3}$ 、0.2 μm)、274 は InP の電界調整層 (p 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、0.03 μm)、275 は InGaAs の電界調整層 (p 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、0.01 μm)、276 は InP の電界調整層 (p 型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、0.01 μm)、277 は InGaAs の光吸収層 (p 型、 $2 \times 10^{15} \text{ cm}^{-3}$ 、1.2 μm)、278 は InP のキャップ層 (p 型、 $2 \times 10^{18} \text{ cm}^{-3}$ 、1 μm)、279 は InGaAs のコンタクト層 (p 型、 $5 \times 10^{19} \text{ cm}^{-3}$ 、0.1 μm) である。これらの半導体多層膜は MOVPE 法で成長した。メサを形成した後、InP (アンドープ、0.1 μm) の半導体保護膜 280、および絶縁膜 281 (SiN/SiO₂、厚さ 0.1 μm/0.3 μm) を被着し、さらに素子上面を平坦化するためポリイミド 282 を保護膜上に形成した。また、吸収層 277 下端でのメサ幅は 40 μm、p 電極 285 の長さは 100 μm とし、光入射側の端面には図 19 (a) のように反射防止膜 (SiN、厚さ 0.12 μm) 286 を被着した。

【0077】チップに逆バイアスを印加したところ、降伏電圧 (Vb) は 24 V、0.9 Vb における暗電流は 50 nA であった。高温逆バイアス通電試験 (200 °C、100 μA 一定) では、1000 時間後の電圧変動は 1 V 以下、室温における降伏電圧、暗電流も試験前と変化が無く、良好であった。また、光信号の増倍率は最大 50 であり、メサ中央領域で均一であった。

【0078】本発明の実施例によれば、メサ側面に位置する pn 接合の電界強度を低くすることが可能になるため、従来のメサ型半導体装置では実現されなかった暗電流が低く、かつ信頼性の高いアバランシェホトダイオー

ドを製造することができる。メサ型半導体装置は製造工程が簡単であり、また、本発明の実施例の素子では従来のプレーナ型素子で用いられている不純物拡散等を利用せずエピタキシャル成長とエッチングによって電界の制御が可能であるため極めて制御性が高く、歩留まり良い。従って、本発明の実施例によって高性能のギガビット級の高速素子を安価に提供できる効果があり、工業上重要である。

【0079】また、本発明の実施例の素子はキャリアの増倍機能即ち電流増幅機能を持つため、これを利用することにより、従来の光受信器では別途必要であった増幅回路を簡素化することができる。従って、素子が安価になるだけでなく、これを用いた光受信器及び該光受信器を搭載した光モジュールも安価になる。

【0080】更に、本発明の実施例の素子では、従来に比べて表面電界が大幅に低減されるため、表面漏れ電流即ち暗電流が減少する。従って、従来に比べ感度が高くなり、受信器自体の性能も向上する。

【0081】

【発明の効果】本発明によれば従来よりも素子特性が向上する。

【図面の簡単な説明】

【図1】本発明に係るアバランシェホトダイオードの第1の実施例を説明するための断面図。

【図2】本発明の第1の実施例における電界強度分布を説明するための図。

【図3】本発明の第4の実施例における電界強度分布を説明するための図。

【図4】第1の実施例の製造方法を説明するための工程図。

【図5】第1の実施例の製造方法を説明するための図4に続く工程図。

【図6】本発明の第1の実施例を補足説明するための断面図。

【図7】本発明の第2の実施例を説明するための断面図。

【図8】第2の実施例の製造方法を説明するための工程図。

【図9】第2の実施例の製造方法を説明するための図8に続く工程図。

【図10】従来のアバランシェホトダイオードを説明するための断面図。

【図11】本発明の第3の実施例を説明するための断面図。

【図12】第3の実施例の製造方法を説明するための工程図。

【図13】第3の実施例の製造方法を説明するための図12に続く工程図。

【図14】本発明の第4の実施例を説明するための断面図。

【図15】第4の実施例の製造方法を説明するための工程図。

【図16】本発明の第5の実施例を説明するための断面図。

【図17】本発明の光モジュールの実装形態の説明図。

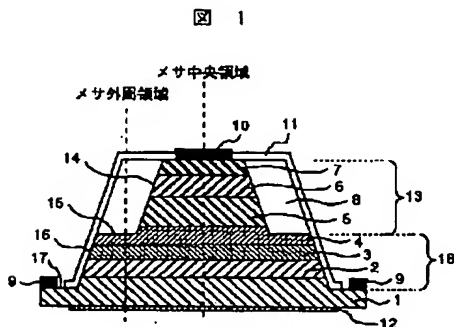
【図18】本発明の光モジュールの等価回路の概略図。

【図19】本発明の第6の実施例を説明するための断面図。

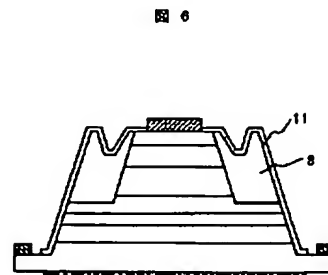
【符号の説明】

1, 21, 41, 201…基板、2, 22, 42, 202…パッファ層、3, 23, 43, 203…増倍層、4, 24~26, 44, 45, 232~234…電界調整層、5, 27, 46, 205…光吸収層、6, 28, 47, 206…キャップ層、8, 30, 52…埋め込み層、208…半導体保護膜、13, 35, 49…第二メサ、14, 36, 50, 213…第二メサ側面、15, 37, 51, 214…第二メサ外周面、16, 38, 54, 215…第一メサ側面、17, 39, 55, 216…第一メサ外周面、18, 40, 53…第一メサ、11, 33, 209…保護膜、12, 34, 212…反射防止膜、100~103…マスク、31, 32, 211, 212…電極。

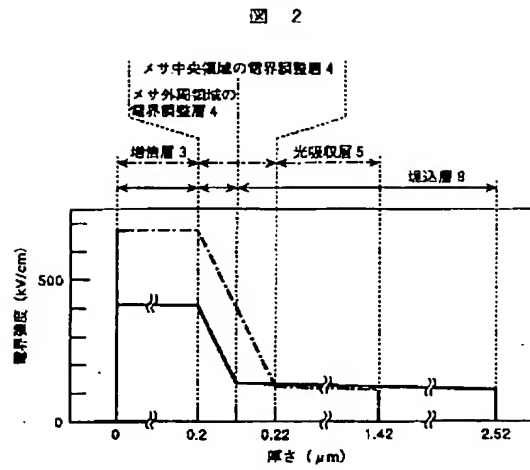
【図1】



【図6】

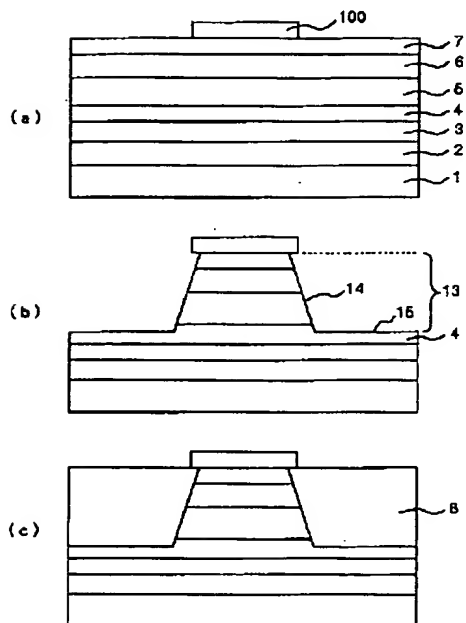


【図 2】



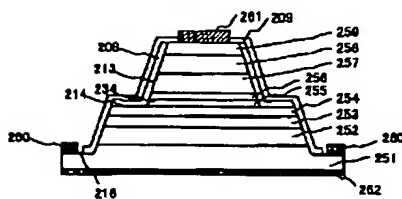
【図 4】

図 4



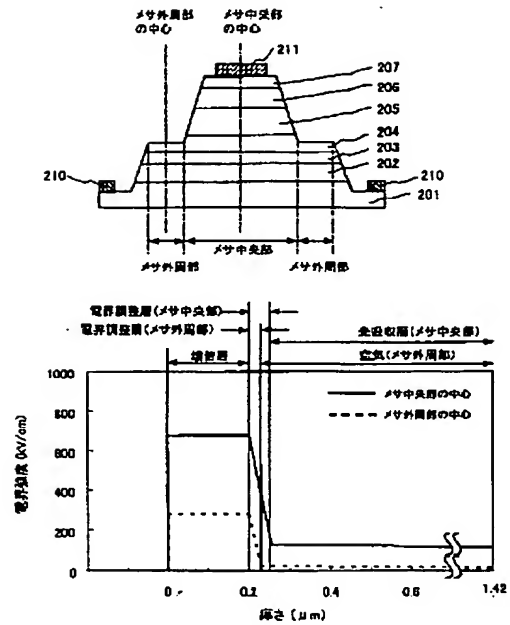
【図 16】

図 16



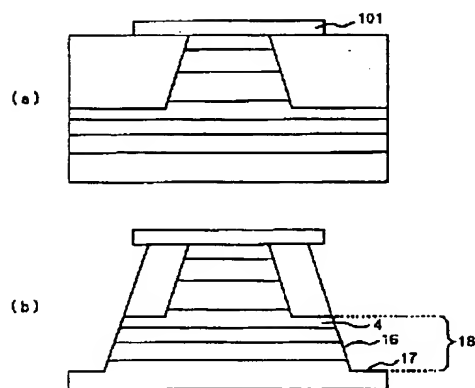
【図 3】

図 3



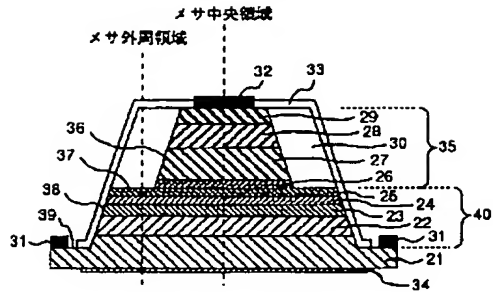
【図 5】

図 5



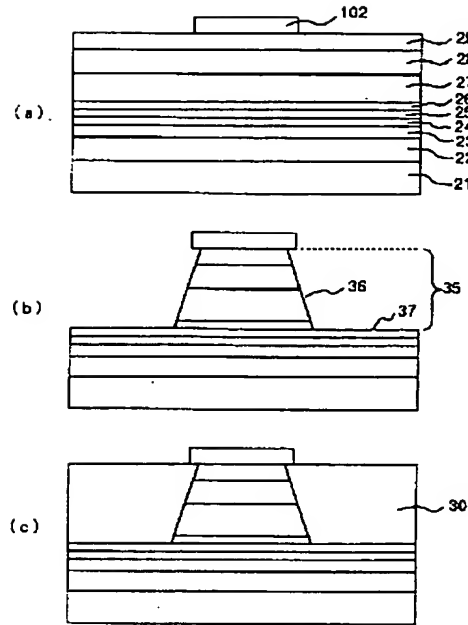
【図 7】

図 7



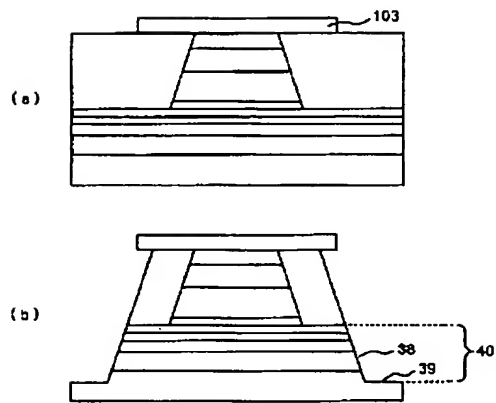
【図 8】

図 8



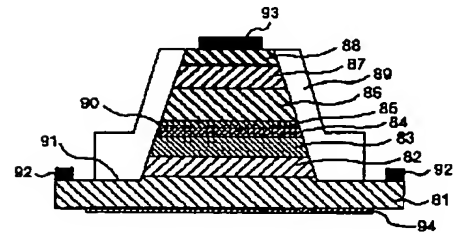
【図 9】

図 9



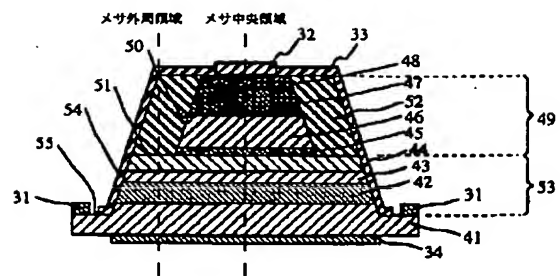
【図 10】

図 10



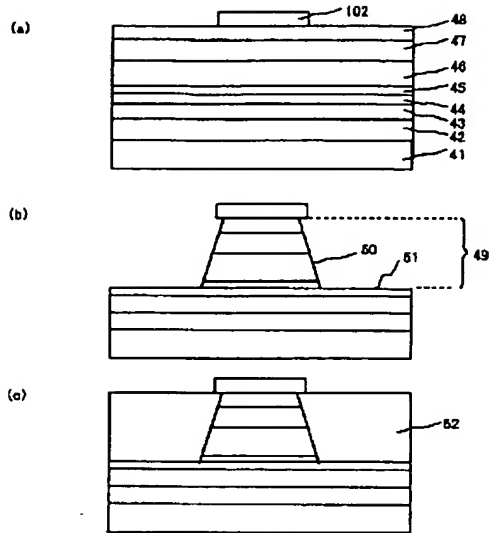
【図 11】

図 11



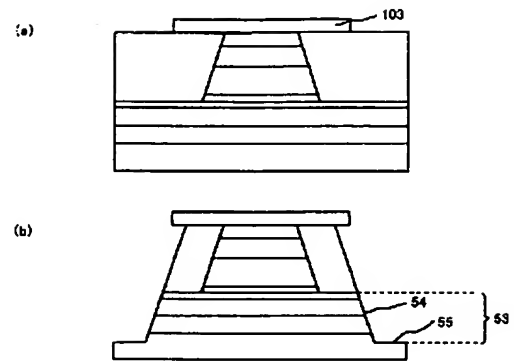
【図 12】

図 12



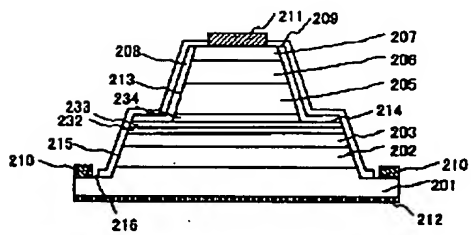
【図 13】

図 13



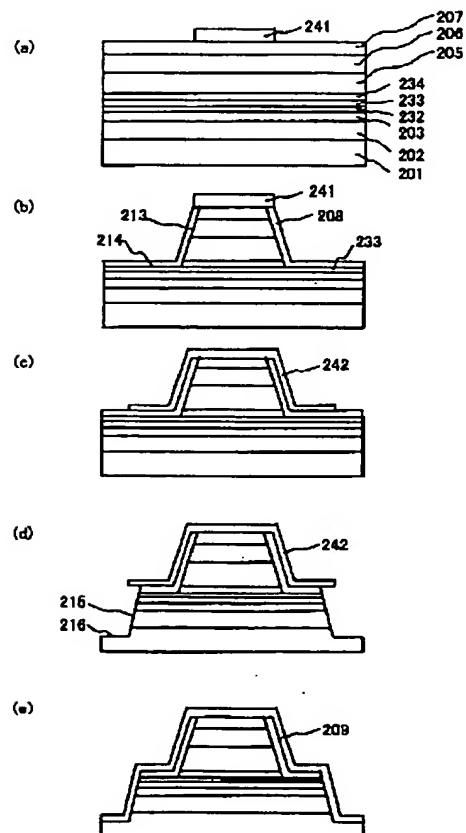
【図 14】

図 14



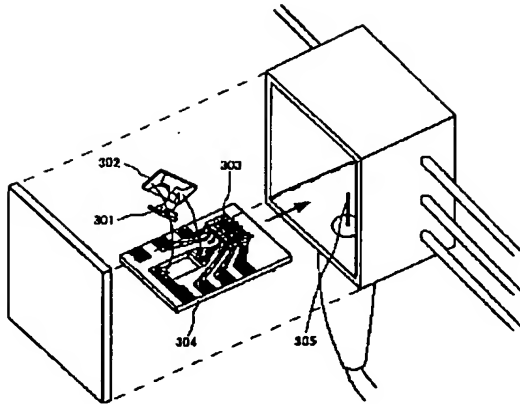
【図 15】

図 15



【図 17】

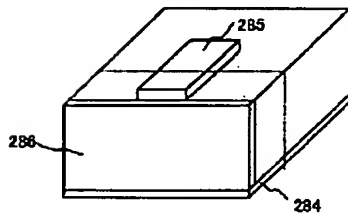
図 17



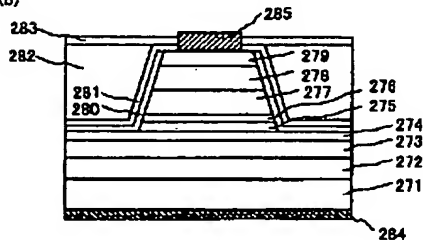
【図 19】

図 19

(a)

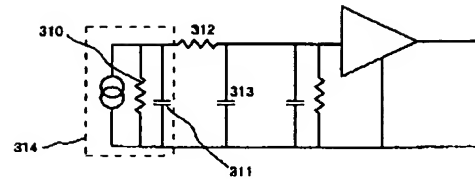


(b)



【図 18】

図 18



【手続補正書】

【提出日】平成13年12月17日(2001.12.17)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正内容】

【0064】図15(a)は使用した半導体層の断面図であり、201はInP基板(n型、 $2 \times 10^{18} \text{ cm}^{-3}$)、202はInAlAsのパッファ層(n型、 2

$\times 10^{18} \text{ cm}^{-3}$ 、 $0.7 \mu\text{m}$)、203はInAlAsの増倍層(n型、 $5 \times 10^{14} \text{ cm}^{-3}$ 、 $0.2 \mu\text{m}$)、232はInAlAsの電界調整層(p型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、 $0.02 \mu\text{m}$)、233はInGaAsの電界調整層(p型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、 $0.01 \mu\text{m}$)、234はInAlAsの電界調整層(p型、 $7 \times 10^{17} \text{ cm}^{-3}$ 、 $0.02 \mu\text{m}$)、205はInGaAsの光吸収層(p型、 $2 \times 10^{15} \text{ cm}^{-3}$ 、 $1.2 \mu\text{m}$)、206はInAlAsのキャップ層(p型、 $2 \times 10^{18} \text{ cm}^{-3}$ 、 $1 \mu\text{m}$)、207はInGaAsのコンタクト層(p型、 5

$\times 10^{19} \text{cm}^{-3}$ 、 $0.1 \mu\text{m}$)である。これらの半導体多層膜はMBE法で成長した。層207の表面に直径 $35 \mu\text{m}$ の SiO_2 マスク241を形成した。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正内容】

【0071】251はInP基板(導電型:p型、キャリア濃度: $1 \times 10^{19} \text{cm}^{-3}$)、252はInPのバッファ層(p型、 $2 \times 10^{18} \text{cm}^{-3}$ 、 $0.7 \mu\text{m}$)、253はInPの増倍層(p型、 $5 \times 10^{14} \text{cm}^{-3}$ 、 $0.2 \mu\text{m}$)、254はInPの電界調整層(n型、 $7 \times 10^{17} \text{cm}^{-3}$ 、 $0.03 \mu\text{m}$)、255はInGaAsの電界調整層(n型、 $7 \times 10^{17} \text{cm}^{-3}$ 、 $0.01 \mu\text{m}$)、256はInPの電界調整層(n型、 $7 \times 10^{17} \text{cm}^{-3}$ 、 $0.01 \mu\text{m}$)、257はInGaAsの光吸収層(n型、 $2 \times 10^{15} \text{cm}^{-3}$ 、 $1.2 \mu\text{m}$)、258はInPのキャップ層(n型、 $2 \times 10^{18} \text{cm}^{-3}$ 、 $1 \mu\text{m}$)、259はInGaAsのコンタクト層(n型、 $2 \times 10^{18} \text{cm}^{-3}$ 、 $0.1 \mu\text{m}$)である。これらの半導体多層膜はMOVPE法で成長した。作製工程は図15と同様である。ただし、第二メサの側面213と第二メサの外周面214上のみInP(アンドープ、 $0.1 \mu\text{m}$)の半導体保護膜208を付加し、その上に絶縁膜209(SiN/SiO_2 、厚さ $0.1 \mu\text{m}/0.3 \mu\text{m}$)をコンタクト層259から第一メサの外周面216に掛けて図16のよ

うに被着した。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0076

【補正方法】変更

【補正内容】

【0076】271はInP基板(n型、 $2 \times 10^{18} \text{cm}^{-3}$)、272はInAlAsのバッファ層(n型、 $2 \times 10^{18} \text{cm}^{-3}$ 、 $0.7 \mu\text{m}$)、273はInAlAsの増倍層(n型、 $5 \times 10^{14} \text{cm}^{-3}$ 、 $0.2 \mu\text{m}$)、274はInPの電界調整層(p型、 $7 \times 10^{17} \text{cm}^{-3}$ 、 $0.03 \mu\text{m}$)、275はInGaAsの電界調整層(p型、 $7 \times 10^{17} \text{cm}^{-3}$ 、 $0.01 \mu\text{m}$)、276はInPの電界調整層(p型、 $7 \times 10^{17} \text{cm}^{-3}$ 、 $0.01 \mu\text{m}$)、277はInGaAsの光吸収層(p型、 $2 \times 10^{15} \text{cm}^{-3}$ 、 $1.2 \mu\text{m}$)、278はInPのキャップ層(p型、 $2 \times 10^{18} \text{cm}^{-3}$ 、 $1 \mu\text{m}$)、279はInGaAsのコンタクト層(p型、 $5 \times 10^{19} \text{cm}^{-3}$ 、 $0.1 \mu\text{m}$)である。これらの半導体多層膜はMOVPE法で成長した。メサを形成した後、InP(アンドープ、 $0.1 \mu\text{m}$)の半導体保護膜280、および絶縁膜281(SiN/SiO_2 、厚さ $0.1 \mu\text{m}/0.3 \mu\text{m}$)を被着し、さらに素子上面を平坦化するためポリイミド282を保護膜上に形成した。また、吸収層277下端でのメサ幅は $40 \mu\text{m}$ 、p電極285の長さは $100 \mu\text{m}$ とし、光入射側の端面には図19(a)のように反射防止膜(SiN 、厚さ $0.12 \mu\text{m}$)286を被着した。

フロントページの続き

(72)発明者 大▲歳▼ 創
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 松岡 康信
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 大野 智弘
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 藤崎 寿美子
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 大家 彰
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 辻 伸二
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
Fターム(参考) 4M118 AA05 AB05 BA01 CA03 CB01
5F049 MA08 MB07 NA05 NB01 PA14
QA02 QA15 SS04 SZ12 SZ13